

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-056677

(43)Date of publication of application : 18.05.1981

(51)Int.Cl.

H01L 29/78

G11C 11/40

H01L 27/10

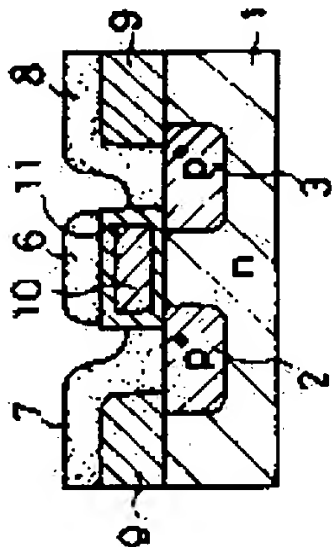
(21)Application number : 54-132059

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.10.1979

(72)Inventor : AOYAMA MASA HARU
KAI SHUNICHI
YONEZAWA TOSHIO

(54) SEMICONDUCTOR MEMORY DEVICE



(57)Abstract:

PURPOSE: To lower the gate voltage being applied at writing-in and elimination of data are performed by a method wherein the 2nd gate region for which SiC is used is provided on the surface of the 1st gate region which constitutes a memory device and is formed of an SiO2 film. CONSTITUTION: A p+ type source region 2 and a drain region 3 are formed diffusively on an n type Si substrate 1 by using an SiO2 film and the like as a mask and a thick field SiO2 film is spread over the whole surface. Next, the part of the film 9 corresponding to the regions where the gate electrode 6 and source and drain electrodes 7 and 8 are to be formed is removed and there a thin SiO2 film 11 for the 1st gate is grown. After that, on the film 11 between the regions 2 and 3 the 2nd SiC film 10 is formed and, while the film 11 on the regions 2 and 3 is removed, the film 10 is packed by the film 11 formed monolithically,

and on the surface thereof is formed the gate electrode 6. Then, the source electrode 7 and the drain electrode 8 are provided on the exposed regions 2 and 3 respectively, and thus even under a low voltage, the generation of a tunnel effect and the like becomes possible.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—56677

⑬ Int. Cl.³
H 01 L 29/78
G 11 C 11/40
H 01 L 27/10

識別記号

1 0 1

庁内整理番号

7514—5F
7010—5B
7210—5F

⑭ 公開 昭和56年(1981)5月18日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体記憶装置

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑯ 特 願 昭54—132059

⑰ 出 願 昭54(1979)10月13日

⑱ 発 明 者 青山正治

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑲ 発 明 者 米沢敏夫

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

㉒ 発 明 者 開俊一

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 1導電型の半導体基体と、この半導体基体の表面領域に設けられる半導体基体とは逆導電型のソース、ドレイン領域と、上記半導体基体表面に設けられシリコン酸化膜からなる第1のゲート領域と、この第1のゲート領域表面に設けられシリコンカーバイドからなる第2のゲート領域とを具備してなることを特徴とする半導体記憶装置。

(2) 前記第2のゲート領域には窒素あるいは酸素のうち少なくとも一方がドーピングされてなる特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

この発明は2重絶縁層の境界付近のトラップを利用してデータの記憶を行なう半導体記憶装置に関する。

1レベル、0レベルのデータを電氣的に書き込み

および消去することができる不揮発性メモリとして用いられるFETにデータを書き込む方法としては、ゲート電極と基板との間に電圧を印加し、トンネル効果によつて基板中のキャリアにバリアをつき抜けさせて低エネルギー層にトラップさせる方法と、ソース、ドレイン間に高電圧を印加してキャリアをアバランシェにより高エネルギー状態にして、バリアを乗り越えさせる方法との2つに大別される。そして上記前者のトンネル効果を利用したFETは、主にシリコン酸化膜(Si_3N_4)あるいはアルミナ膜(Al_2O_3)と、薄いシリコン酸化膜(SiO_2)とからなる2重絶縁膜の境界付近にあるトラップを利用するものであり、後者のアバランシェ効果を利用したFETは、電荷を蓄積するための低エネルギー層としてシリコン酸化膜中に埋め込まれたフローティングゲートとしての多結晶シリコンを利用するものが代表的である。両者を比較すると電氣的消去の容易さの点と、高集積度化の点からトンネル効果を利用したFETの

方が優れている。

第1図は上記トンネル効果を利用したトンネル効果型の従来のFETの構成を示す断面図である。図において、 α 型のシリコンからなる基板1の表面領域には所定間隔を保つて p^+ 型シリコンからなるソース、ドレイン各領域2, 3が拡散形成される。さらに上記基板1の表面にはシリコン酸化膜により構成される極めて薄いゲート酸化膜4が形成され、さらにこのゲート酸化膜4表面には絶縁膜5が形成される。そして上記絶縁膜5と接するようにA1でなるゲート電極6、上記ソース領域2と接するようにA1でなるソース電極7、上記ドレイン領域3と接するようにA1でなるドレイン電極8それぞれが配線形成される。なお図において9はフィールド酸化膜である。ここで上記絶縁膜5をシリコン窒化膜としたものがいわゆるMNOS(Metal Nitride Oxide

Semiconductor)であり、さらにアルミナ膜としたものがいわゆるMAOS(Metal Alumina Oxide Semiconductor)である。

このような構成のFETにおいて、いまゲート電極6に正の電圧を印加すると、基板1の伝導帯に存在する電子がトンネル効果によつてゲート酸化膜4を通過し、上記絶縁膜5中のトラップに捕獲される。この結果、このFETのしきい値電圧 V_{th} は正の方向にシフトする。逆に負の電圧をゲート電極6に印加すると、正孔についても電子と同様に上記のような過程を経て絶縁膜5中のトラップに捕獲され、この結果、 V_{th} は負の方向にシフトする。ここで従来のFETにおけるゲート電圧 V_g としきい値電圧 V_{th} との関係を示すと第2図のようになる。第2図において曲線イはFETがMAOSの場合、曲線ロはFETがMNOSの場合をそれぞれ示す。図から明らかのようにMAOSの V_{th} は正の範囲内で変化し、MNOSの V_{th} は負の範囲内で変化するが、MAOS、MNOS両者は通常 $\pm 20V$ 以上の高いゲート電

3

4

圧を印加しなければ V_{th} を変化させることができない。

このように従来のFETではかなり高いゲート電圧を印加しないとデータの書き込みおよび消去が行えないという欠点が存在した。

この発明は上記のような事情を考慮してなされたもので、その目的はトンネル効果あるいはアベランシエ効果を利用してデータの書き込みおよび消去を行なう際のゲート電圧を、従来よりも低くすることができる半導体記憶装置を提供することにある。

以下、図面を参照してこの発明の一実施例を説明する。この発明に係る半導体記憶装置では前記第1図に示すFETの絶縁膜5をシリコンカーバイド(SiC)で構成したものである。第3図は前記第1図に示すFETにおいて絶縁膜5をシリコンカーバイドで構成した場合の、ゲート電圧 V_g としきい値電圧 V_{th} との関係を表わしたものである。第3図から明らかのように V_g が $\pm 10V$ 未満で V_{th} を変化させることができる。この

結果、従来よりも低いゲート電圧でデータの書き込みおよび消去を行なうことが可能である。これはシリコンカーバイドが電子および正孔を良好にトラップするという要因から生ずるものと思われる。さらに第3図から明らかのように V_{th} の変化範囲が正負両範囲にわたっており、 $V_g=0$ を境にして V_{th} の変化曲線はほぼ対称であるため、データ読み取り時にゲート電極に電圧を印加する必要がないという効果もある。すなわち従来のMNOS、MAOSでは、そのしきい値電圧が前記第2図で示す変化曲線における最大、最小の2つのしきい値電圧の中間にくるようなゲート電圧 V_g を印加した状態で、FETのオン・オフを判定するのに対し、この発明におけるFETでは $V_g=0$ の状態でオンあるいはオフさせることが可能である。以上のような特性はシリコンカーバイドからなる絶縁膜とゲート酸化膜との境界面近傍のトラップレベルの性質に影響されるものであるが、シリコンカーバイド自体が半導体性質を有していることに関連してい

5

6

ると考えられる。

またさらにシリコンカーバイドからなる絶縁膜に窒素や酸素をドーピングすることによつて、この絶縁膜の耐圧や絶縁性をより向上させることも可能である。

一方シリコンカーバイドからなる絶縁膜の形成に関しては、従来、通常の気相成長法による生成に多少の困難を伴なつたが、高周波プラズマ放電を利用したスパッタリングあるいは気相成長法により、組成を制御して形成することが現在可能となつている。以下、その製造方法の1例を順を追つて説明する。

① 方位(100)、比抵抗3~5(Ωcm)のp型シリコン基板の表面を熱酸化し、この後ソース、ドレイン領域形成予定部分の酸化膜をエッチングして開孔する。

② ソース、ドレイン領域形成予定部分の開孔部分から露出している基板表面を低温酸化しボロンイオンの打ち込みを行なう。

③ ソース、ドレイン領域の拡散を行なう。

7

される。

なお上記実施例ではトンネル効果型のFETについて説明したが、これと全く同様の構成でアバランシ効果によつて電子あるいは正孔をトラップ内に送り込むこともできる。すなわち、ゲート電極を接地電位に接続し、ソース領域およびドレイン領域に負の電圧を印加すると、ソース領域およびドレイン領域の近傍でアバランシェ注入が起こり、同時にチャンネルの中央部でトンネル効果が生じ、電子がトラップに送り込まれる。トンネル効果のみを利用した場合ゲート電圧を正負に反転させる必要があるが、上記アバランシェ注入を用いた場合はその必要はない。またアバランシェを起こすのに必要な電圧は高くなるが、第4図に示すようにシリコンカーバイド膜10をゲート酸化膜11中に埋め込むフローティングゲート構成としても良い。そしてこの場合はゲート酸化膜11の製造上のアーゾンや絶縁耐圧の向上が図れる。

以上、説明したようにこの発明によれば、シ

9

④ ゲート領域形成予定部分のシリコン酸化膜を選択除去し、その後基板を乾燥した酸素ガス中で800℃に加熱して50~100Å程度の厚みのゲート酸化膜を形成する。

⑤ 高周波プラズマスパッタリングによりシリコンカーバイドからなる絶縁膜を上記ゲート酸化膜表面上に1000Å程度の厚みにアポシションし、その後窒素ガス中で500℃、10分間アニールする。

⑥ ゲート領域以外の部分のシリコンカーバイドを選択的に除去する。

⑦ コンタクトホールを開孔する。

⑧ ALを全面蒸着し、その後パターニングする。

⑨ 450℃で30分間アニールする。

⑩ パッシベーション膜をCVD法により全面被着し、ボンディング領域部分のみをエッチング除去する。

上記①ないし⑩の工程によつて、シリコンカーバイドをゲート領域の一部とするFETが製造

8

リコン酸化膜からなる第1のゲート領域表面にシリコンカーバイドからなる第2のゲート領域を設けたことによりデータの書き込みおよび消去を行なう際のゲート電圧を従来よりも低くすることができる半導体記憶装置を提供することができる。

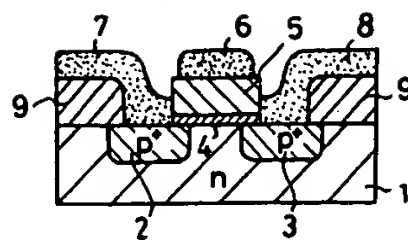
4. 図面の簡単な説明

第1図は従来のFETの構成を示す断面図、第2図は上記従来のFETを説明するための特性曲線図、第3図はこの発明の一実施例によるFETを説明するための特性曲線図、第4図はこの発明の他の実施例を示す断面図である。

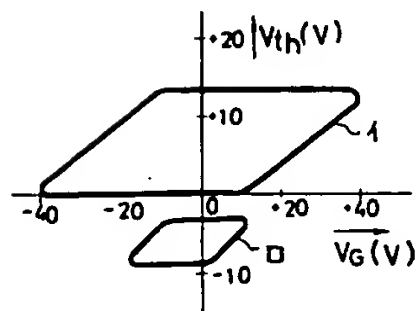
1…基板、2…ソース領域、3…ドレイン領域、4, 11…ゲート酸化膜、5…絶縁膜、6…ゲート電極、7…ソース電極、8…ドレイン電極、9…フィールド酸化膜、10…シリコンカーバイド膜。

出願人代理人 弁理士 鈴 江 武 彦

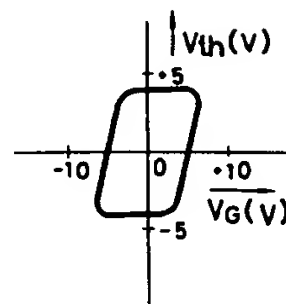
第 1 図



第 2 図



第 3 図



第 4 図

